

ALGORITMO PARA UN CONTROLADOR LÓGICO PROGRAMABLE QUE OPERA UN DISPOSITIVO VARIADOR DE FRECUENCIA EMPLEANDO DISEÑO DIGITAL

M. en C. José Alfredo Colín Ávila,

Email: jcolin@ipn.mx

Ing. Yasser Idi Sánchez Herrera

Email: ysanchezh@ipn.mx

C. Miguel Chávez Garrido

Email: mchavezg1001@alumno.ipn.mx1

Unidad Profesional Interdisciplinaria en Ingeniería y Tecnologías Avanzadas - IPN

Abstract

Partiendo de un caso práctico en la automatización de procesos industriales, donde se requería regular el comportamiento de un Dispositivo Variador de Frecuencia (VFD) en la modalidad "multispeed" empleando 4 entradas digitales del dispositivo, donde 3 bit cambiarán de estado en función de las veces que han sido pulsados dos botones normalmente abiertos, la propuesta de solución del problema se redujo a un contador octal ascendente-descendente, en este sentido se realiza el diseño de una máquina de estado finito, desde su planteamiento conceptual hasta su implementación en un controlador lógico programable (PLC), considerando las restricciones de los circuitos lógicos digitales en modalidad de pulso. El PLC a través de sus salidas se comunicará con las 4 entradas digitales de un VFD, que previamente configurado y programado en la modalidad "multispeed", permitirá establecer valores de velocidad predeterminados a un motor trifásico conforme se accionen los botones pulsadores para realizar dichos cambios de velocidad.

Introducción

Un Dispositivo Variador de Frecuencia (VFD) permite regular principalmente en un motor de corriente alterna: 1) la velocidad angular y 2) el par de torsión, de manera intrínseca regulando así el funcionamiento apropiado en unas escaleras eléctricas, ascensores, ventiladores, lavadoras, sistemas de bombeo y un sinnúmero de máquinas que hacen de cada aplicación y programación únicas. La modalidad "multispeed" del VFD permite establecer una serie de valores de frecuencia previamente definidos y programados en el VFD, en función del estado de señales discretas a la entrada del dispositivo. Estas señales pueden provenir cuando el operador accione varios botones, lo cual es impráctico y dificulta la operación; implementar un circuito que reciba señales del operador para realizar los cambios de velocidad y que entregue la combinación lógica al VFD, pareciera ser la solución pero elevaría los costes de implementación; esta aplicación se puede desarrollar usando cualquiera de las funciones especiales dependiendo de la marca del PLC (Controlador Lógico Programable), en este caso se optó por emplear funciones booleanas y diseño digital con el fin de obtener un diagrama de escalera que se pudiera implementar en cualquier marca y modelo de PLC.

Material y Método

El VFD empleado es un WEG modelo CFW08 operando en la modalidad "multispeed", el modelo empleado permite obtener hasta 8 valores de frecuencia previamente definidas y programadas en él, no necesariamente estos valores programados van en orden creciente o decreciente, para ello se debe ingresar al VFD, tres señales discretas de entrada: q2 q1 q0, proporcionadas por igual número de salidas provenientes del PLC, internamente el VFD asocia el estado de las 3 entradas "qx" con alguno de los 8 valores de frecuencia programados; desde la perspectiva de los circuitos lógicos el problema se reduce al diseño de un circuito combinatorio de conteo ascendente-descendente que se logre programar en el PLC.

El PLC requerirá de 2 entradas adicionales "F" y "R", que serán las señales de entrada al PLC (ver figura 1) que representan dos botones de contacto momentáneo, de forma que la señal "F" hace que se establezca un conteo ascendente y la señal "R" un conteo descendente.

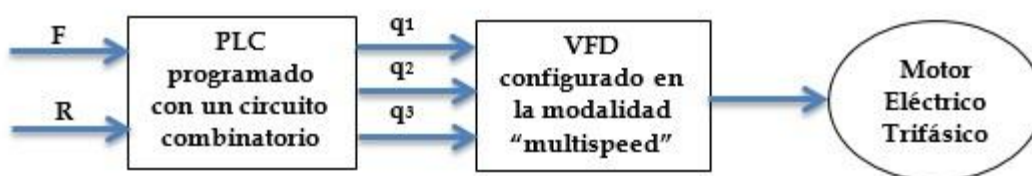


Figura 1.- Diagrama de bloques del sistema implementado

En la figura 2 se aprecia a detalle el comportamiento de este proceso de conteo, si se presiona sucesivamente "F" el conteo llegará a la cuenta máxima (111), si continúa presentándose la señal "F", el conteo permanecerá ahí, pero si se presenta la señal "R", el conteo desciende (110), presionando sucesivamente "R" se alcanzará la cuenta mínima (000), si prevaleciera la señal "R", el conteo se mantendrá en ese estado, pero si aparece la señal "F" el conteo ascenderá (001).

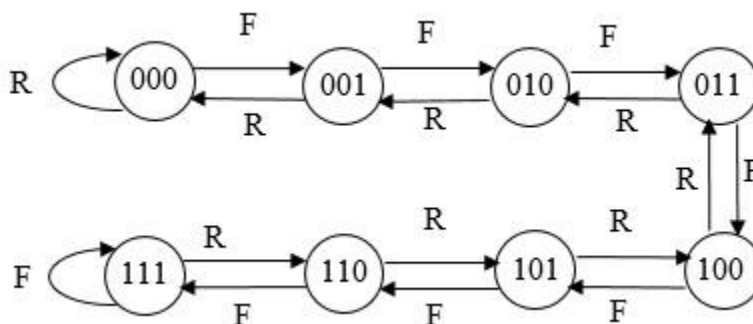


Figura 2.- Diagrama de estado para el contador octal ascendente-descendente

Después de apreciar que el funcionamiento del contador mostrado en la figura 2, tiene condiciones que generan transiciones secuenciales, la solución se plantea como un circuito digital secuencial con modalidad de pulso, el circuito tiene 8 estados, el estado inicial es 000 y el final es 111, se debe considerar la restricción para esta modalidad de circuitos, el tiempo de duración de los pulsos de las señales de entrada, deben tener una duración menor, que el tiempo requerido para el cambio de un estado a otro en el circuito.

Partiendo del diagrama de estado de la figura 2, se elabora la tabla de estado presente y estado siguiente (véase tabla 1) donde qv es el estado presente y qv+1 es el estado siguiente, en este caso

no se requiere tener una variable de salida Z^v que esté asociada al estado presente, pues sólo se requiere la información que proporcionan los 3 bits que definen cada estado, que corresponderán a 3 variables de salida en el PLC.

Tabla 1.- Tabla de estado presente y estado siguiente de la figura 2

$q_2^v q_1^v q_0^v$	F			R		
	q_2^{v+1}	q_1^{v+1}	q_0^{v+1}	q_2^{v+1}	q_1^{v+1}	q_0^{v+1}
0 0 0	0	0	1	0	0	0
0 0 1	0	1	0	0	0	0
0 1 1	1	0	0	0	1	0
0 1 0	0	1	1	0	0	1
1 1 0	1	1	1	1	0	1
1 1 1	1	1	1	1	1	0
1 0 1	1	1	0	1	0	0
1 0 0	1	0	1	0	1	1

Recordando que el desarrollo de este tipo de circuitos está basado en los FF (Flip-Flop) S-R y que el: número de estados = 2^n ; donde n indica el número de FF requeridos, en este caso se tienen 8 estados por lo que se requiere de 3 FF, cuyas salidas serán: q_2 , q_1 , q_0 .

Se procede a llenar la tabla de transición de estados (véase tabla 2), considerando la tabla de excitación del FF S-R (véase tabla 3), que permitirá asignar el valor que se requiere en las terminales "S" y "R" de cada FF en función de "F" y "R" que son las señales de entrada del circuito combinatorio, para que este transite entre los estados en la forma que está definida en el diagrama de estado.

Tabla 2.- Tabla de transición de estados para implementar el contador octal

$q_2 q_1 q_0$	S ₂		R ₂		S ₁		R ₁		S ₀		R ₀	
	F	R	F	R	F	R	F	R	F	R	F	R
0 0 0	0	0	X	X	0	0	X	X	1	0	0	X
0 0 1	0	0	X	X	1	0	0	X	0	0	1	1
0 1 1	1	0	0	X	0	X	1	0	0	0	1	1
0 1 0	0	0	X	X	X	0	0	1	1	1	0	0
1 1 0	X	X	0	0	X	0	0	1	1	1	0	0
1 1 1	X	X	0	0	X	X	0	0	X	0	0	1
1 0 1	X	X	0	0	1	0	0	X	0	0	1	1
1 0 0	X	0	0	1	0	1	X	0	1	1	0	0

Tabla 3.- Tabla de excitación para un FF S-R

S	R	q^v	q^{v+1}
0	X	0	0
1	0	0	1
0	1	1	0
X	0	1	1

El llenado de la tabla de transición de estados, se hace de la siguiente manera:

Para cada entrada de cada FF, se consideran columnas de las señales F y R (véase tabla 2), en estas columnas se anotarán los valores que deben presentarse en las entradas S y R de cada FF, para que se logre conmutar su salida de un estado presente al estado siguiente.

Para el primer estado de q_2^v , q_1^v , q_0^v cuyo valor es 000, al recibir la señal F, ver primera fila de la tabla 1, el circuito debe transitar al estado 001, para ello el FF0 que tiene un estado presente 0, requiere

ir al estado siguiente que es 1, esta situación corresponde al segundo renglón de la tabla de excitación (véase tabla 3), por lo que se debe escribir 1 y 0 en la tabla 2 al lugar que corresponde al cruce del renglón de $q_2q_1q_0=000$ y las columnas que corresponden a F en S0 y R0. Esto se interpreta así: para que el Flip Flop subíndice 0 que tiene el estado presente 0, pase al estado siguiente 1, debe escribirse un 1 en su entrada S y un 0 en su entrada R, en el lugar correspondiente a la variable F, ver nuevamente la tabla 1 y 2.

Continuando para el FF1 el estado presente es 0 y el estado siguiente es 0, esta situación corresponde al primer renglón de la tabla de excitación del FF S-R (véase tabla 3), por lo que se debe escribir 0 y X en el lugar que corresponde nuevamente al cruce del renglón de $q_2q_1q_0=000$ y las columnas que corresponden a F en S1 y R1. Esto se interpreta así: para que el Flip Flop subíndice 1 que está en el estado presente 0, pase al estado siguiente que es 0, debe escribirse un 0 en la entrada S y una X en la entrada R, en el lugar correspondiente a la variable F, ver tabla 2.

Continuamos ahora con el FF2, en el que ocurre también la misma situación que el FF1 para el estado presente es 0 y el estado siguiente es 0, esta situación corresponde al primer renglón de la tabla de excitación del FF S-R, por lo que se debe escribir 0 y X en el lugar que corresponde al cruce del renglón de $q_2q_1q_0=000$ y las columnas que corresponden a F en S2 y R2. Esto se interpreta así: para que el Flip Flop subíndice 2 que está en el estado presente 0, pase al estado siguiente que es 0, debe escribirse un 0 en la entrada S y una X en la entrada R, en el lugar correspondiente a la variable F, ver tabla 2.

En la tabla 1, el segundo estado de q_2^v, q_1^v, q_0^v cuyo valor es 001, al recibir la señal F, debe transitar el circuito al estado 010. Para que esto suceda debe acontecer lo siguiente: para el FF0 el estado presente es 1 y el estado siguiente es 0, esto le corresponde el tercer renglón de la tabla de excitación del FF S-R (tabla 3), por lo que se debe escribir 0 y 1 en el lugar que corresponde al cruce del renglón de $q_2q_1q_0=001$ y las columnas que corresponden a F en S0 y R0. Esto se interpreta así: para que el Flip Flop subíndice 0 que tiene el estado presente 1, vaya al estado siguiente que es 0, debe escribirse un 0 en la entrada S y 1 en la entrada R, en el lugar correspondiente a la variable F, ver tabla de transición (tabla 2).

Continuando para el FF1 el estado presente es 0 y el estado siguiente es 1, esta situación corresponde al segundo renglón de la tabla de excitación del Flip Flop S-R (véase tabla 3), por lo que se debe escribir 1 y 0 en el lugar que corresponde al cruce del renglón de $q_2q_1q_0=001$ y las columnas que corresponden a F en S1 y R1. Esto se interpreta así: para que el Flip Flop subíndice 1 que está en el estado presente 0, pase al estado siguiente que es 1, debe escribirse un 1 en la entrada S y una 0 en la entrada R, en el lugar correspondiente a la variable F, véase tabla de transición.

Se continúa de la misma forma como se describió en los párrafos anteriores hasta llenar debidamente la tabla de transición, cuando se ha concluido esta etapa se procede a obtener las expresiones booleanas que corresponden a cada una de las entradas de los FF: S0, R0, S1, R1, S2 y R2, se debe considerar que la adyacencia de columnas sólo se puede dar, entre cualquiera de las columnas F o R (de la misma entrada del FF) y las tres columnas correspondientes a q_2, q_1 y q_0 , para ello se considera a los mapas de Karnaugh como herramienta en la búsqueda de la optimización de las funciones booleanas resultantes que compondrán la solución, considerando que las variables de salida serán S y R de cada FF, las variables de entrada son: F, R, q_2, q_1 y q_0 , estas 3 últimas son las salidas de los FF S-R.

De la tabla 2, analizando la entrada S0 del FF0, comenzando con la variable F y posteriormente con la variable R, se elaboran los mapas de Karnaugh como se muestra en la tabla 4, los términos que se obtengan serán asociados con la operación lógica OR.

Tabla 4.- Mapas de Karnaugh para la entrada S0

(a) Caso señal F

q ₂ q ₁	q ₀	
	0	1
0 0	1	
0 1	1	
1 1	1	
1 0	1	

(b) Caso señal R

q ₂ q ₁	q ₀	
	0	1
0 0		
0 1	1	
1 1	1	
1 0	1	

Se aprecia que en el mapa de la variable F se tienen términos que tienen la característica de

$$F\overline{q_0}$$

adyacencia, resultando el término ; aún dentro de S₀, para la variable R al realizar el mapa

$$R\overline{q_0}(q_1 + q_2)$$

de Karnaugh se obtiene:

; finalmente la ecuación booleana para la entrada S₀ queda como se muestra en la ecuación (1). De manera similar se trabajan con el resto de las variables, las ecuaciones booleanas que se obtienen para cada una de ellas después de reducirlas, son las que a continuación se encuentran:

$$S_0 = F\overline{q_0} + R\overline{q_0}(q_1 + q_2) \quad (1)$$

$$R_1 = Fq_0q_1\overline{q_2} + R\overline{q_0}q_1 \quad (4)$$

$$R_0 = Fq_0(\overline{q_1} + \overline{q_2}) + Rq_0 \quad (2)$$

$$S_2 = Fq_0q_1 \quad (5)$$

$$S_1 = Fq_0\overline{q_1} + R\overline{q_0}q_1q_2 \quad (3)$$

$$R_2 = R\overline{q_0}q_1 \quad (6)$$

Resultados y Discusión Para la validación del diseño, se utilizó la herramienta para modelado de circuitos eléctricos MultiSim 12-0, en la figura 3 se muestra el circuito lógico trazado y simulado, verificando que realizaba la operación que se requería.

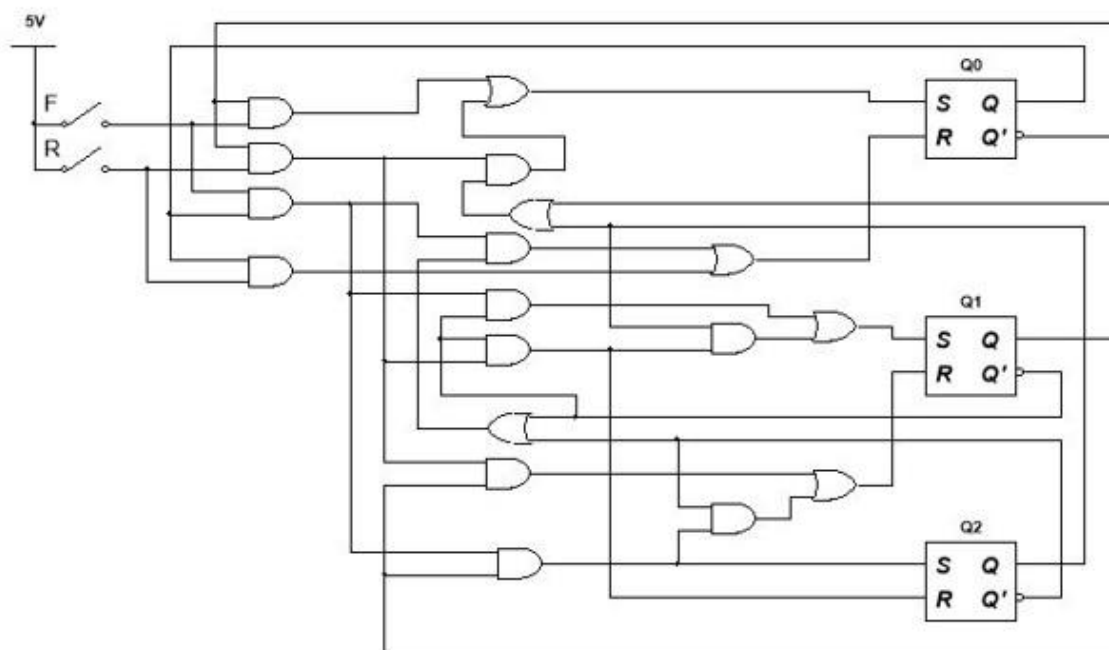


Figura 3.- Circuito combinatorio diseñado y simulado

El diagrama de escalera que corresponde a estas funciones booleanas se muestra en la figura 4, el cual se programó en los PLC marcas: Turck modelo BL-20, Siemens modelo S7-200, Toshiba modelo OIS55Plus, en todos los casos inicialmente no se realizaba el conteo, esto se debe a que las señales al provenir de botones de contacto momentáneo, infringen la restricción sobre: “la duración de las señales de entrada deben ser menores, a la transición de un estado presente al estado siguiente”, que es la condición inherente a las máquinas de Moore y Mealy.

Los PLC cuentan con funciones para acondicionamiento de señales digitales de entrada, permitiendo detectar pulsos tanto en nivel alto como en nivel bajo y detectar los flancos de subida o bajada; después de analizar el comportamiento de éstas en el programa, se encontró que la función para detección de transiciones negativas en las señales de entrada es la apropiada para esta aplicación, debido a que una vez que detectan el término del flanco de bajada de la señal precedente, se genera un pulso que dura el tiempo que tarda el PLC en realizar un “escaneo” de las entradas, lo que permite realizar las transiciones apropiadas en la máquina de estados.

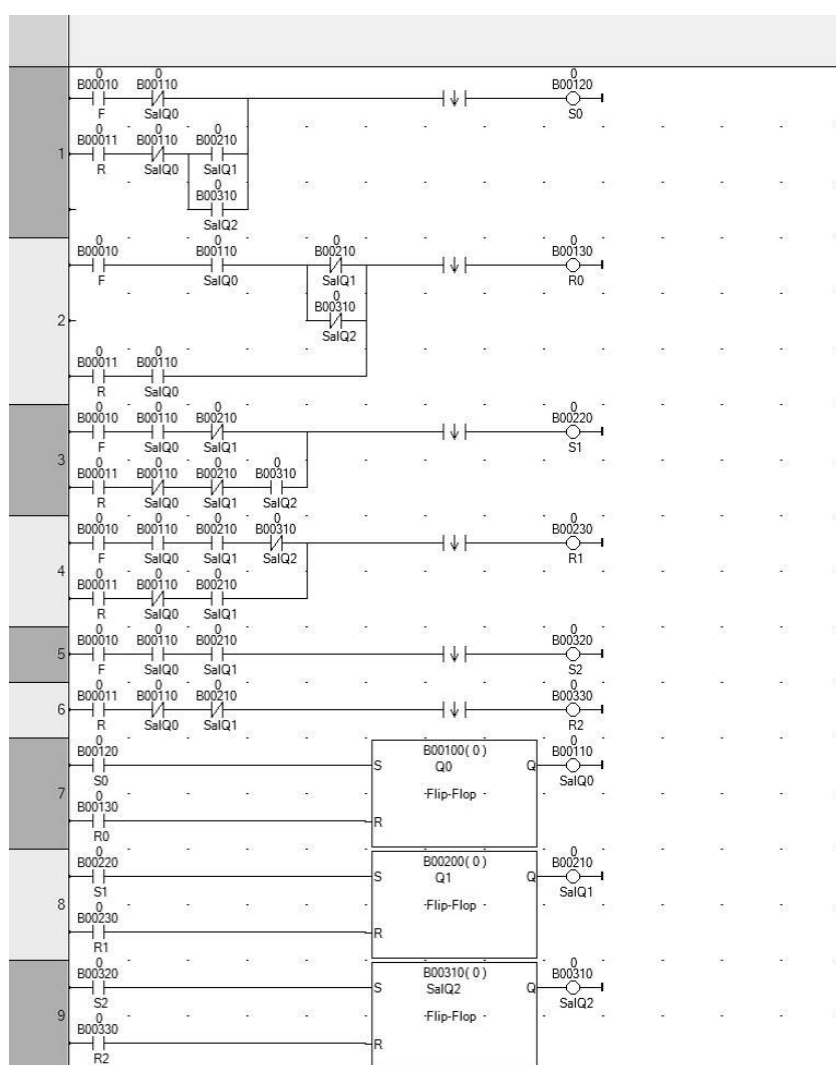


Figura 4.- Diagrama de escalera resultante para OIS55Plus

Finalmente se pudo validar la solución y se procedió a hacer la integración total de los componentes para validar la solución como un todo. Se conectó un motor trifásico al VFD, se realizaron las configuraciones de los parámetros requeridos, se conectó el PLC Siemens, comprobándose que el

programa estaba correcto en su diseño, pues operó sin ningún problema durante un ejercicio de laboratorio.

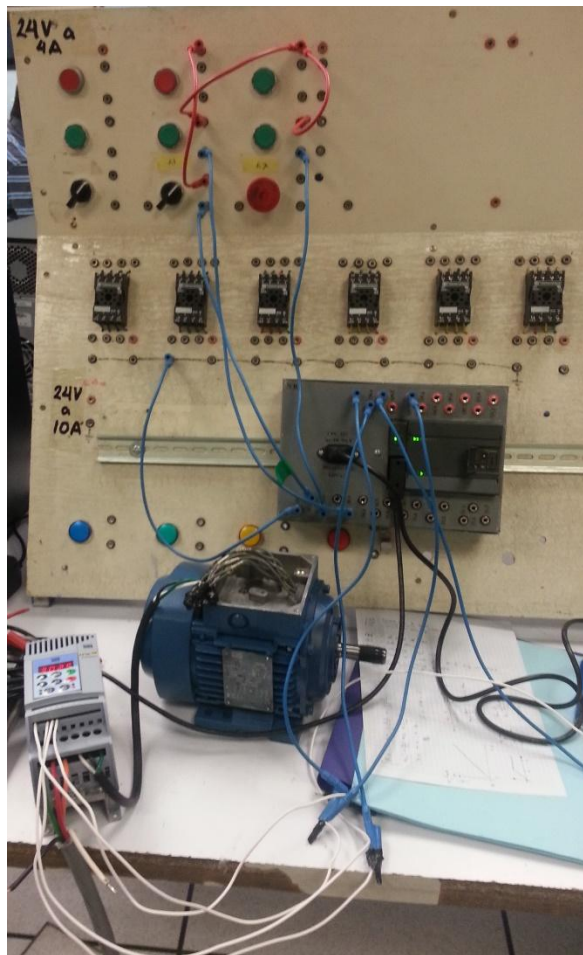


Figura 5.- Integración final realizada

Conclusiones

En el desarrollo de ingeniería seguir una metodología de diseño, allana el camino en la búsqueda de la solución apropiada a los problemas que le son inherentes, un ejemplo de esto, es el desarrollo de la solución descrita, en cuyo planteamiento inicial a través de lluvia de ideas se plantearon opciones de solución, herramientas de diseño y análisis que conllevarían a la solución ideal, una vez seleccionada la solución, restó seguir la metodología propia para diseñar.

Referencias

Circuitos en Modalidad de pulso; Hill-Peterson, Teoría de Conmutación y Diseño Lógico